

5- Conceptos Generales de arquitectura de los SETI

→ 5.1 Arquitectura Von Newmann

5.2 Procesadores RISC

5.3 Otras arquitecturas

Arquitectura es...

La disciplina que estudia de la estructura, funcionamiento y diseño de computadoras. Esto incluye ...

todos los aspectos de su organización:

Organización de la memoria

Modos de conexión de dispositivos de entrada-salida

Modos de direccionamiento

Longitudes de palabra

Longitudes de instrucción.

...

es decir, en general incluye todos los aspectos del hardware y muchos del software de bajo nivel

Herencia y evolución

La Máquina Analítica (Charles Babbage) +/- 1830

Estructura memoria / procesador

Programabilidad

ENIAC – Electronic Numerical Integrator and Calculator (John Von Neumann) 1943-46

Uso de codificación binaria

Programa almacenado

Ejecución secuencial

Arquitectura específica (Von Neumann)

- 1968-70 desarrollo de ArpaNet
- 1971 Hoff (Intel). Microprocesador
- 1973 Metcalf (Xerox-3com) Ethernet

Computadoras electrónicas

1ª generación (1946-1955). Válvulas y montaje máquina o ensamblador

2ª generación (1955-1964). Transistores y lenguajes de alto nivel

3ª generación (1964-1974). Circuitos integrados y tiempo compartido

4ª generación (1974-...). Microprocesadores y redes

?? 5ª generación (2002-...) NCs y Web-services??

Últimas tendencias

RISC – Reduced Instruction Set Computer

Optimización de la arquitectura en función del uso real de los microprocesadores

Procesamiento paralelo

Sobre un mismo procesador (segmentación)

Múltiples procesadores

Nuevos sustratos alternativos al silicio

P.ej AsGa

Procesamiento asíncrono

Permite maximizar la velocidad de ejecución de cada unidad independiente

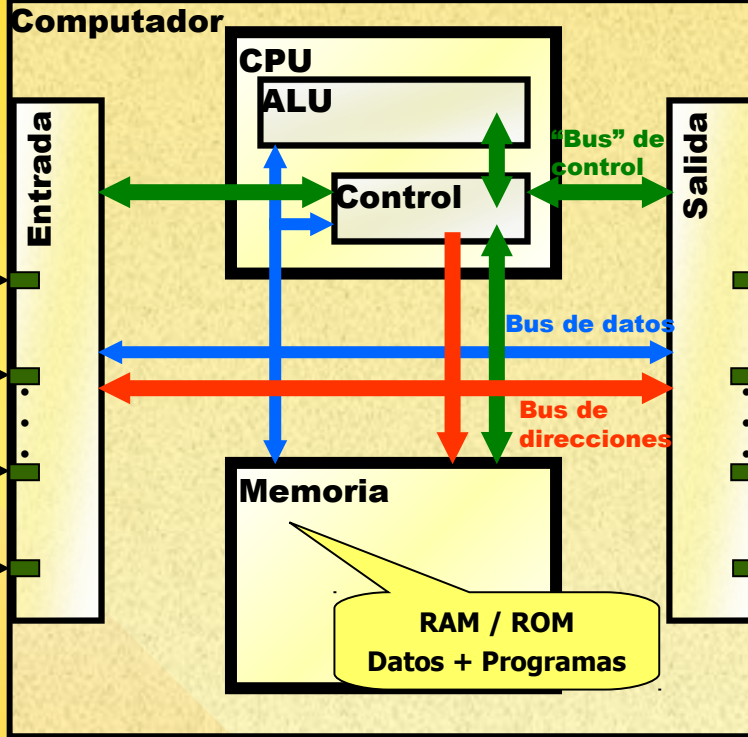
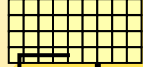
Etc.

Arquitectura Von Neumann

Máquina computadora

Computador

Elementos de entrada



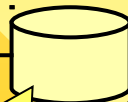
Elementos de salida



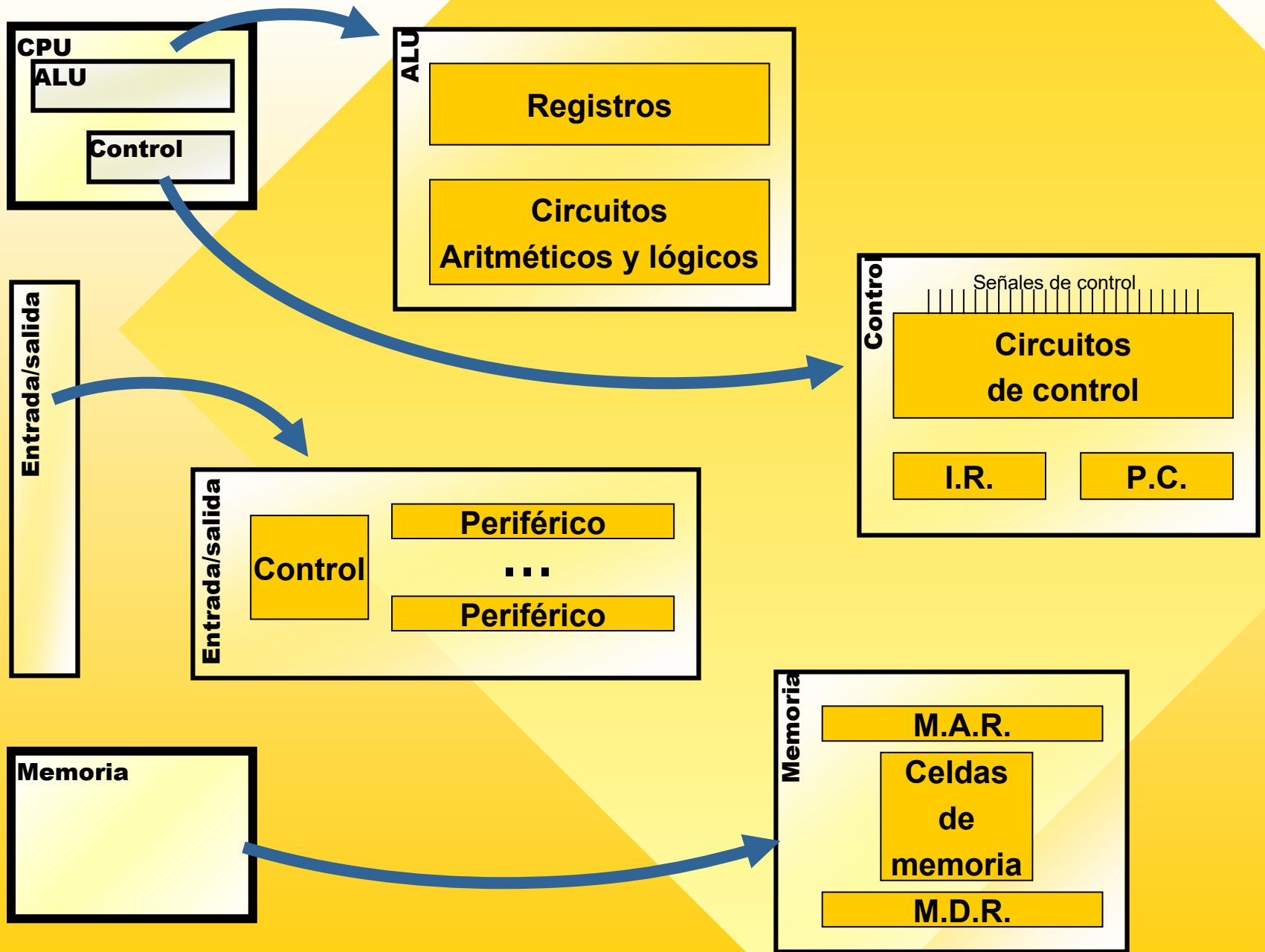
- Ratón
- Escáner
- Micrófono
- Cámara foto/video
- ...

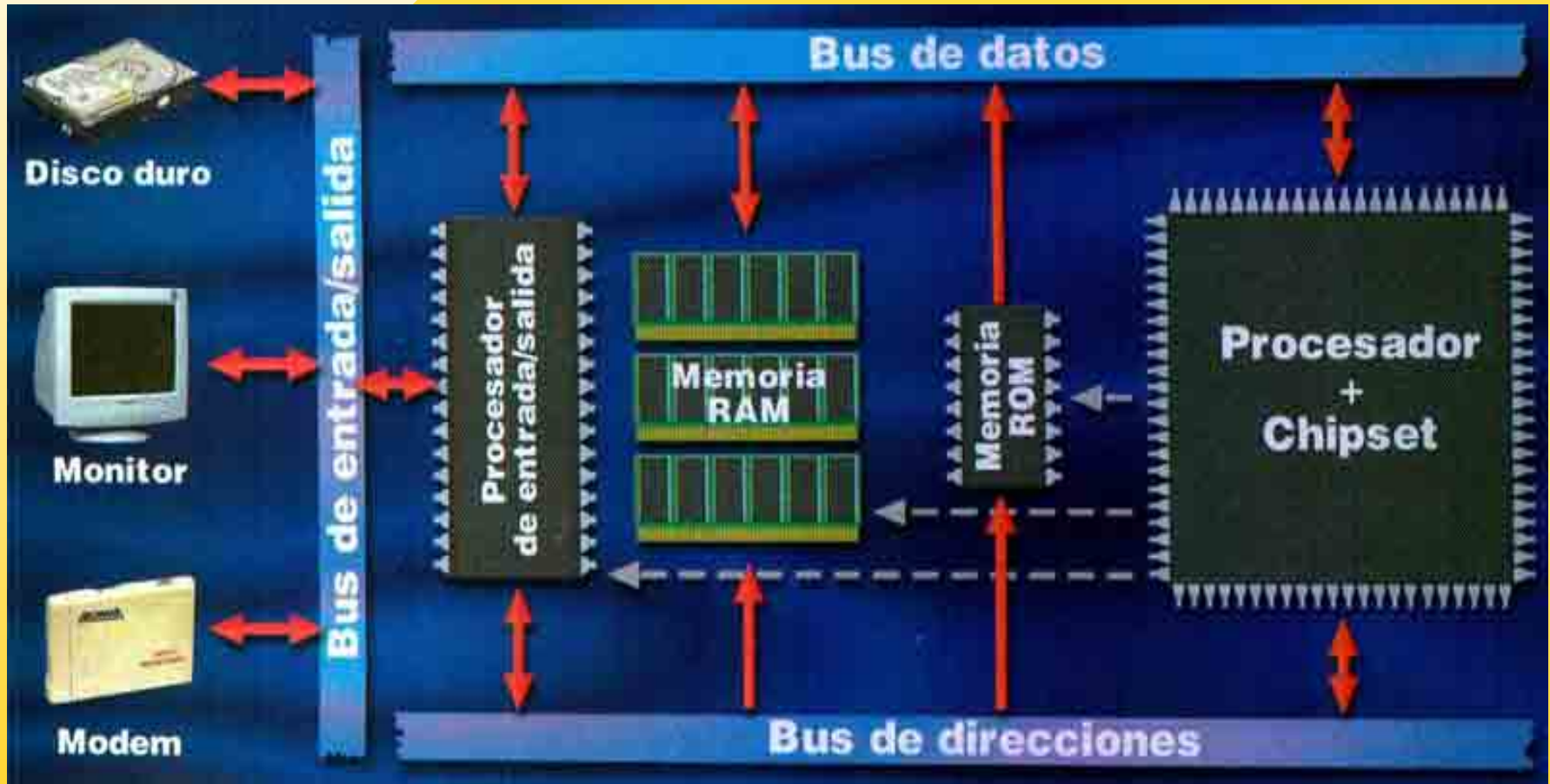
- Impresora
- Plotter
- Altavoces
- Video
- ...

Elementos de entrada y salida

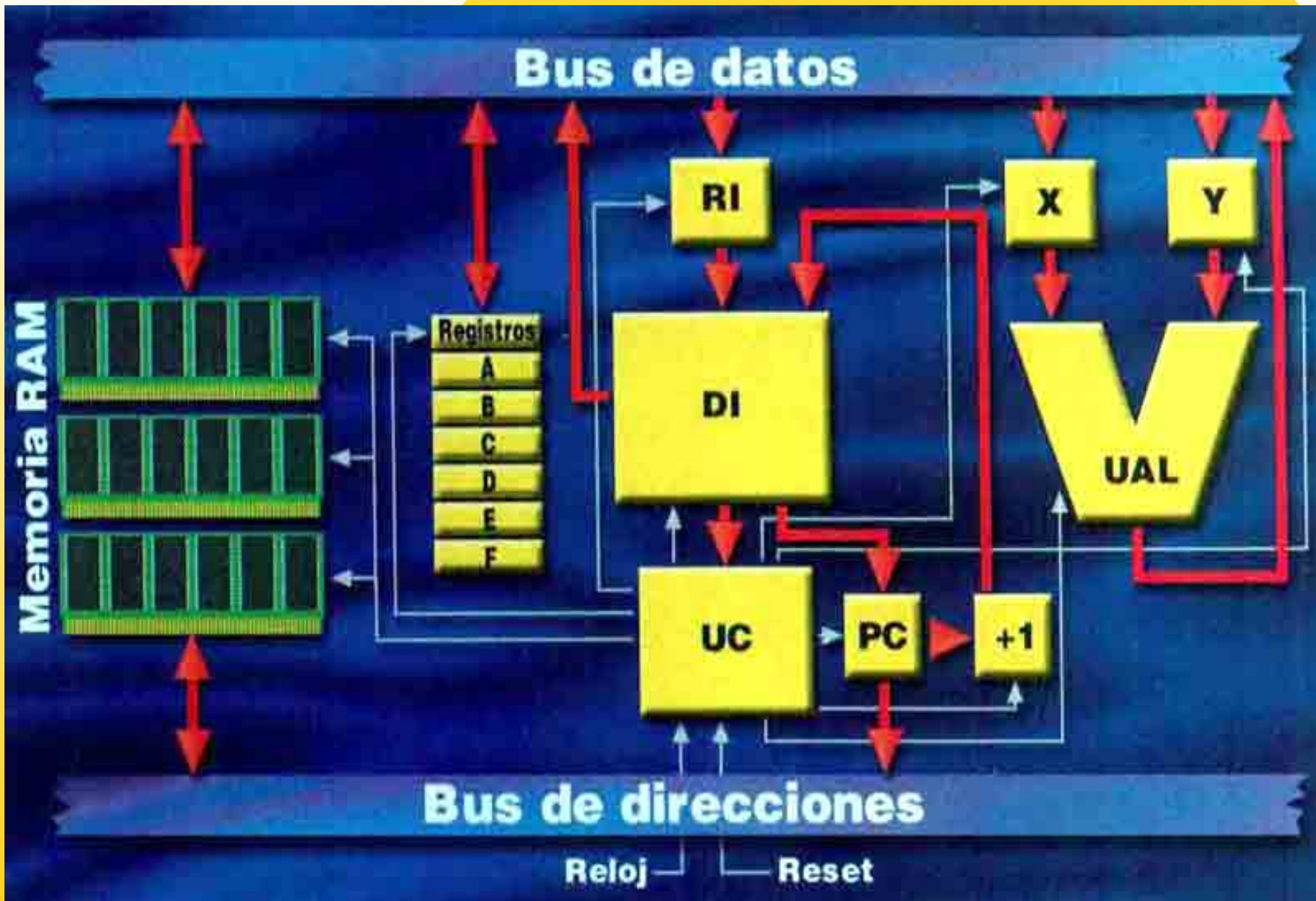


Los elementos de almacenamiento masivo no forman parte de la arquitectura del computador

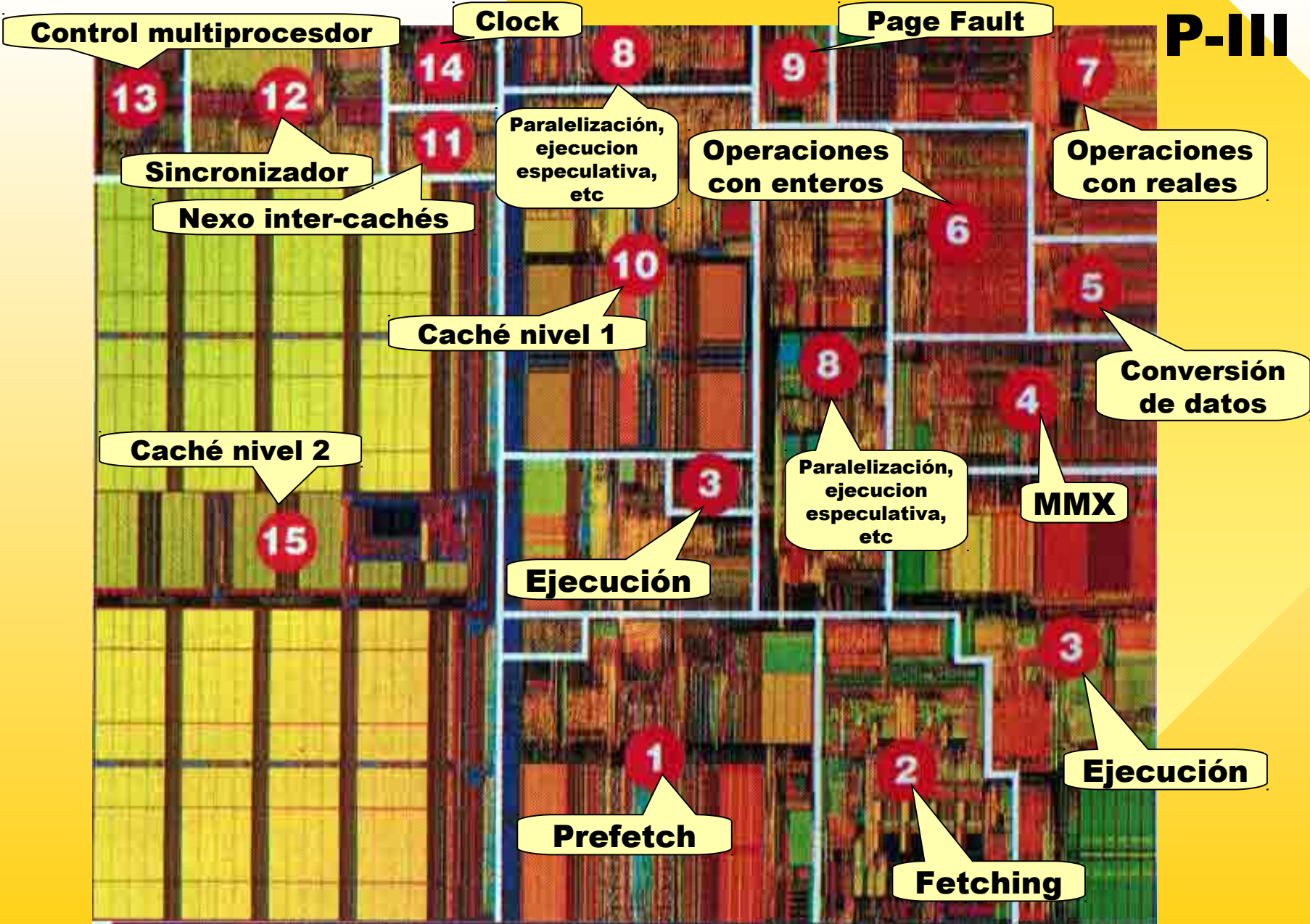




Fuente: Computer Hoy, nº 30



Fuente: Computer Hoy, nº 30



Fuente: Computer Hoy, nº 30



Estructura de la CPU

Este tema se verá detenidamente en el capítulo6

Características de las memorias

Capacidad

Longitud de palabra (granularidad)

Tiempo de acceso

Tiempo de ciclo (tasa de transferencia)

Modo de acceso (secuencial-aleatorio)

Volatilidad

Estática vs. dinámica



ROM	<i>Read Only Memory</i>
PROM	<i>Programmable ROM</i>
EPROM	<i>Erasable PROM</i>
EEPROM	<i>Electrically EPROM</i>
RAM	<i>Random Access Memory</i>
DRAM	<i>Dynamic RAM</i>
SRAM	<i>Static RAM</i>
NVRAM	<i>Non volatile RAM</i>
... Otras muchas	

Características de las memorias



HARD DRIVE:

- + High density; very low cost per byte stored
- Moderate read and write speeds; bulky moving parts



SRAM:

- + Superfast read and write speeds; low power
- Large memory cells take up considerable space; volatile



DRAM:

- + High density; low cost; fast read and write speeds
- Volatile; constant refreshing of data drains power



FLASH:

- + Nonvolatile; high density; fast read speed
- Power consuming; write operation is slow and has limited endurance

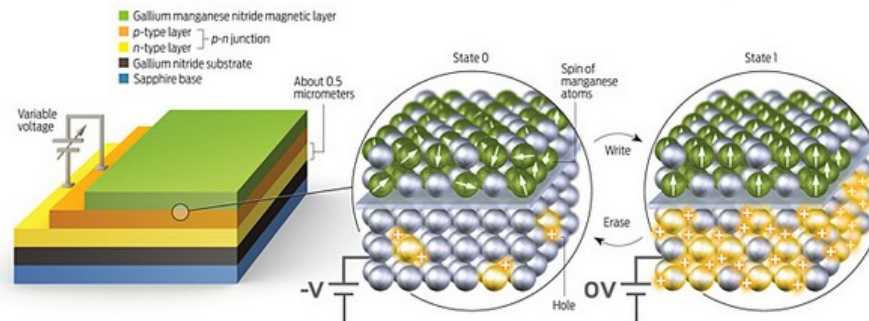


MRAM:

- + Nonvolatile; high density; fast read and write speeds; low power; unlimited write endurance

HOW a SPIN MEMORY WORKS

The authors discovered a magnetic semiconductor material that can store spin orientations at room temperature. This property could be used to build a spintronic memory



1. ERASE

When a negative voltage is applied to the p - n junction, the p -type layer is depleted of holes, causing the spin of the manganese atoms in the magnetic layer to become disoriented. You could use this state to store the bit value 0, or erase your memory cell.

2. WRITE

When you remove the voltage, the concentration of holes in the p -type layer increases. A quantum mechanical interaction between the holes and the manganese atoms causes the atoms' spins to align. You could use this state to write the bit value 1.

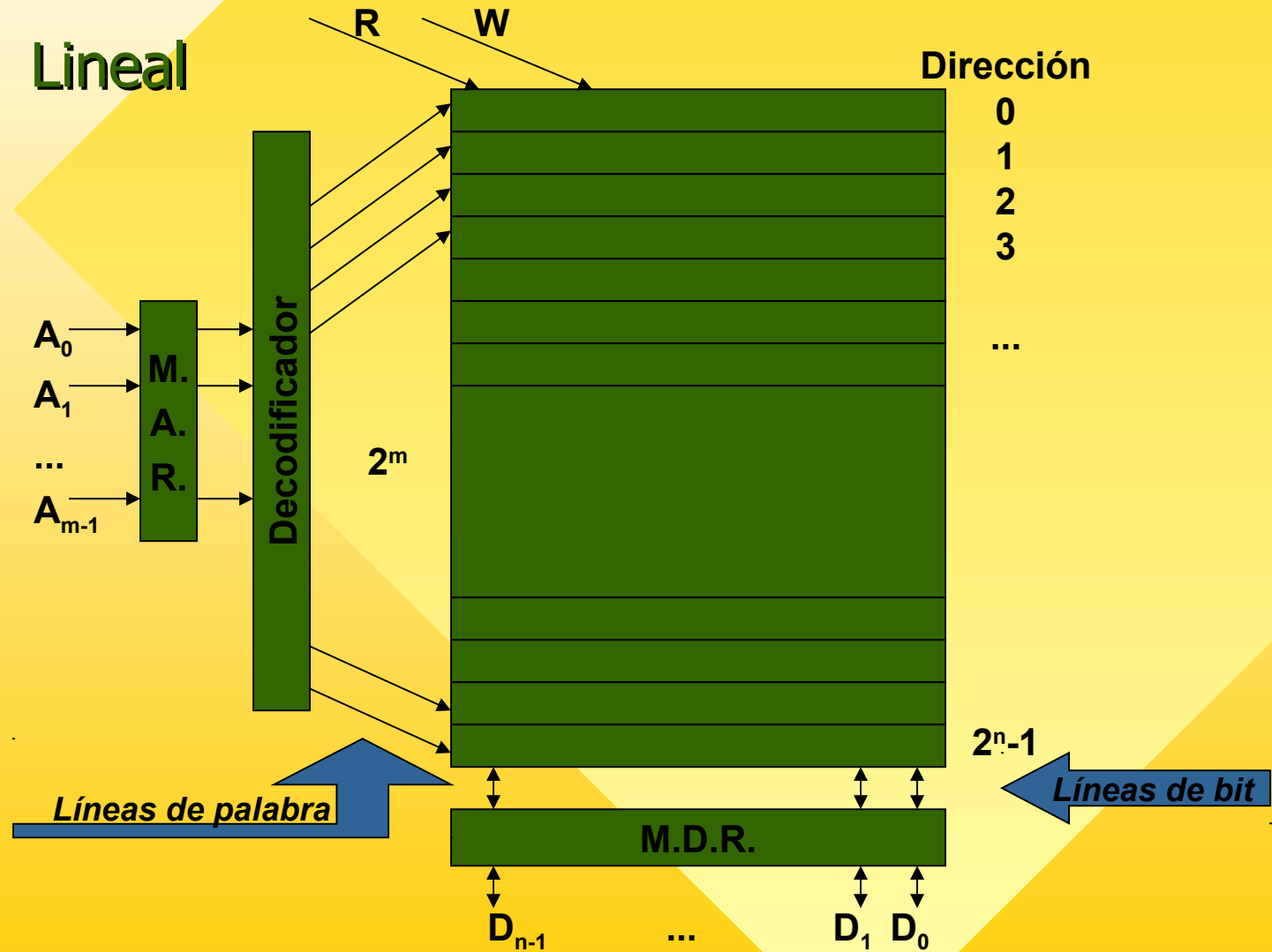
3. READ

The researchers plan to equip each device with a tiny magnetic sensor, similar to a read head of a hard drive but etched as layers in the semiconductor. This supersensitive sensor would detect whether magnetization is present and determine the device's state.

ILLUSTRATION: EMILY COOPER FOR IEEE SPECTRUM

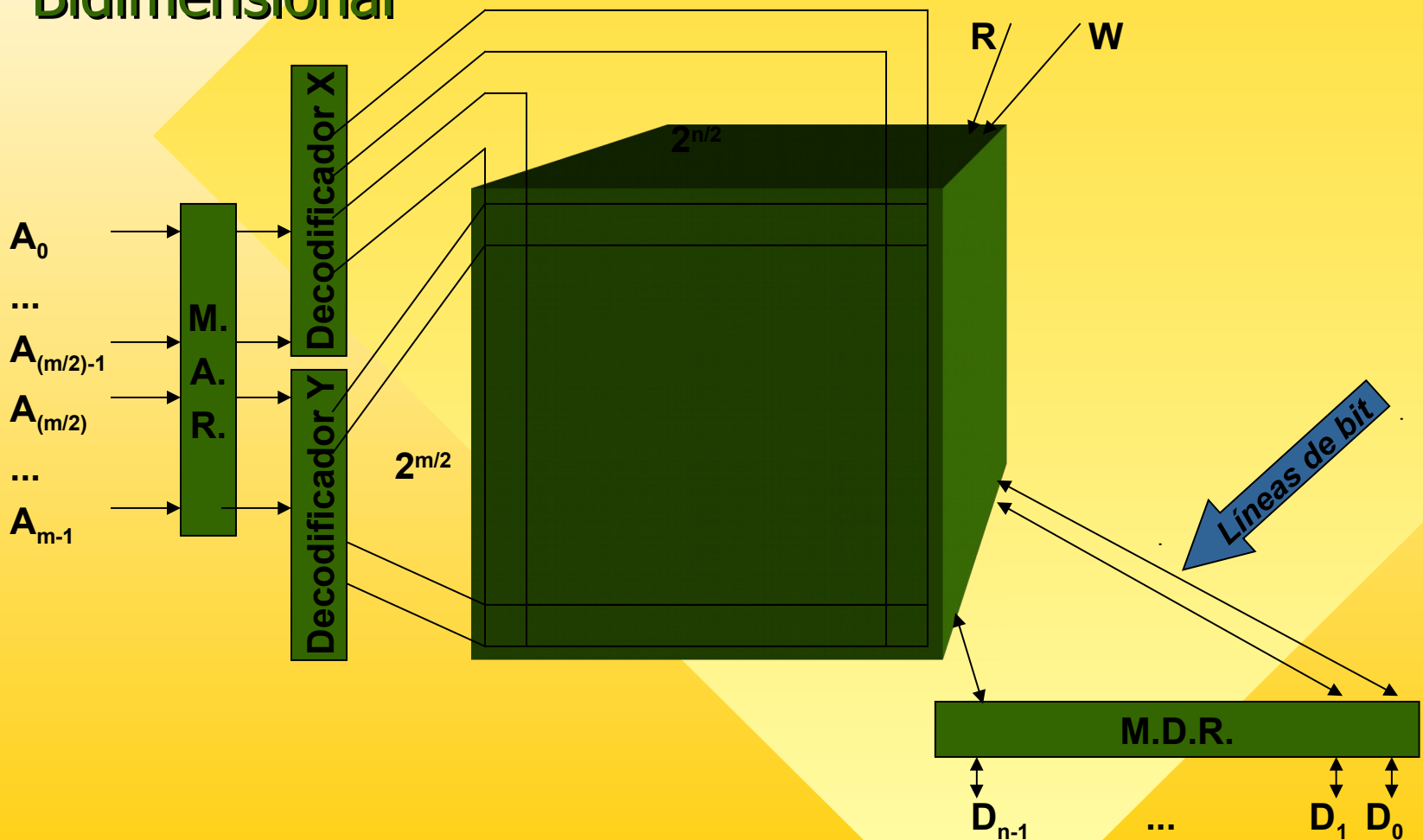


Organización de la memoria I



Organización de la memoria I

Bidimensional



5- Conceptos Generales de arquitectura de los SETI

5.1 Arquitectura Von Newmann

→ 5.2 Procesadores RISC

5.3 Otras arquitecturas

Reduced Instruction Set Computer

Conceptos generales

- Formato de instrucción uniforme
- Pocas instrucciones y sencillas
- Modos de direccionamiento sencillos
- Arquitectura load/store
- Muchos registros internos
- Pipeline (problemas: burbujas, reordenación de instrucciones, Bifurcación retardada)
- Uso de coprocesadores

Por término medio se necesitan un 30% más de instrucciones que con procesadores CISC.

Formato de instrucción uniforme

- Todas las instrucciones han de tener a misma longitud
- Todos los códigos de operación han de tener la misma longitud
- La especificación de registros en los códigos de instrucción será siempre el mismo

Pocas instrucciones y sencillas

Seleccionar un conjunto suficiente, pequeño y sencillo para

- Permitir una unidad de control cableada
- Posibilitar la misma duración para todas

Las alternativas en caso de admitir una instrucción compleja

- Microprogramar
- Proporcionar un "trap" para emular.

Movimiento / aritmética y lógica sencilla / bifurcaciones

Modos de direccionamiento sencillos

- Los modos de direccionamiento complejos requieren múltiples accesos a memoria e interfieren con la ejecución de instrucciones.
- No contar con ellos no es una limitación si los compiladores realizan los cálculos necesarios incluyendo alguna instrucción más.

Arquitectura load/store

Posibilita que las instrucciones tengan siempre el mismo tamaño.

La referencia a memoria es más lenta que la referencia a registro.

Load y Store pueden ser casos especiales fuera del tratamiento "pipeline" del resto al ser más costosas.

Muchos registros internos

Para que el modo de ejecución registro-registro sea eficaz el número de estos ha de ser elevado. Si no es así se precisará del uso de load/store con el único fin de hacer "swapping" de datos.

En un principio se hablaba de bancos de registros para acelerar el cambio de entornos, pero es una idea abandonada

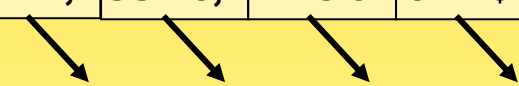
Pipeline (segmentación)

Ejemplos

Pentium IV: 31 etapas

Core 2: 14 etapas

F1	ADD 1,2	SUB 3,4	INC 5	JNZ \$x				
F2		ADD 1,2	SUB 3,4	INC 5	JNZ \$x			
F3			ADD 1,2	SUB 3,4	INC 5	JNZ \$x		
F4				ADD 1,2	SUB 3,4	INC 5	JNZ \$x	
F5					ADD 1,2	SUB 3,4	INC 5	JNZ \$x



F1 - Fetch

F2 - Decodificación y lectura registros

F3 - Ejecución o cálculo de dirección

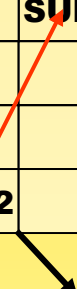
F4 - Acceso a memoria

F5 - Escritura de registros

Pipeline (segmentación)

“Bubujas”

F1	ADD 1,2	SUB 2,3				INC 5	JNZ \$x
F2		ADD 1,2				SUB 2,3	INC 5
F3			ADD 1,2				SUB 2,3
F4				ADD 1,2			
F5					ADD 1,2		



F1 - Fetch

F2 - Decodificación y lectura registros

F3 - Ejecución o cálculo de dirección

F4 - Acceso a memoria

F5 - Escritura de registros

Pipeline (segmentación)

Idea practicable en la arquitectura segmentada ("pipe-line") para disminuir el "parón" en las bifurcaciones. Consiste en intercambiar las instrucciones de salto con sus precedentes en caso de ser posible (introducir NOPs si no lo es).

(también puede usarse esta técnica en caso de dependencias de datos, no solo en bifurcaciones, pero son éstas las que suponen una mayor caída de la efectividad del procesamiento -entre un 25% a 30% de las instrucciones son saltos-)

Otras aproximaciones son de tipo predictivo (ya sean estáticas o dinámicas)

F1	ADD 1,2	SUB 2,3	INC 5			JNZ \$x	+	+	+	+
F2	+	ADD 1,2	SUB 2,3			INC 5	JNZ \$x	+	+	+
F3	+	+	ADD 1,2			SUB 2,3	INC 5	JNZ \$x	+	+
F4	+	+	+	ADD 1,2			SUB 2,3	INC 5	JNZ \$x	+
F5	+	+	+	+	ADD 1,2			SUB 2,3	INC 5	JNZ \$x

4/6

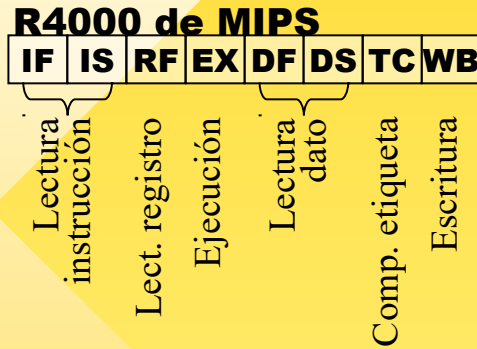
F1	ADD 1,2	INC 5	SUB 2,3	JNZ \$x		+	+	+	+	+
F2	+	ADD 1,2	INC 5	SUB 2,3		JNZ \$x	+	+	+	+
F3	+	+	ADD 1,2	INC 5		SUB 2,3	JNZ \$x	+	+	+
F4	+	+	+	ADD 1,2	INC 5		SUB 2,3	JNZ \$x	+	+
F5	+	+	+	+	ADD 1,2	INC 5		SUB 2,3	JNZ \$x	+

4/5

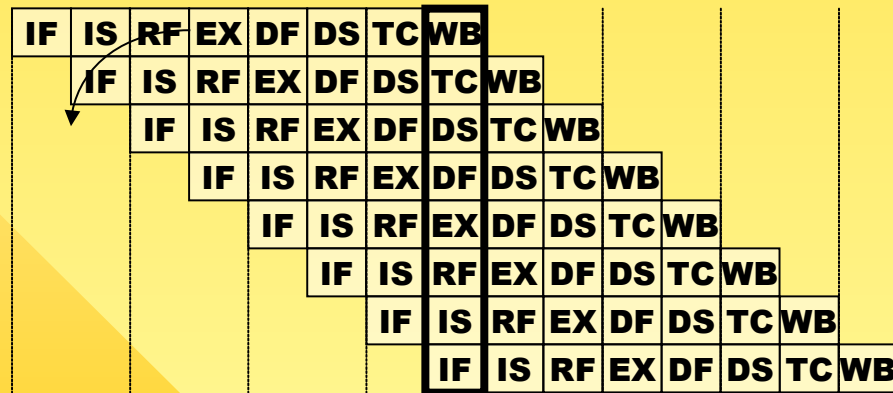
F1	ADD 1,2	INC 5	JNZ \$x	SUB 2,3	+	+	+	+	+	+
F2	+	ADD 1,2	INC 5	JNZ \$x	SUB 2,3	+	+	+	+	+
F3	+	+	ADD 1,2	INC 5	JNZ \$x	SUB 2,3	+	+	+	+
F4	+	+	+	ADD 1,2	INC 5	JNZ \$x	SUB 2,3	+	+	+
F5	+	+	+	+	ADD 1,2	INC 5	JNZ \$x	SUB 2,3	+	+

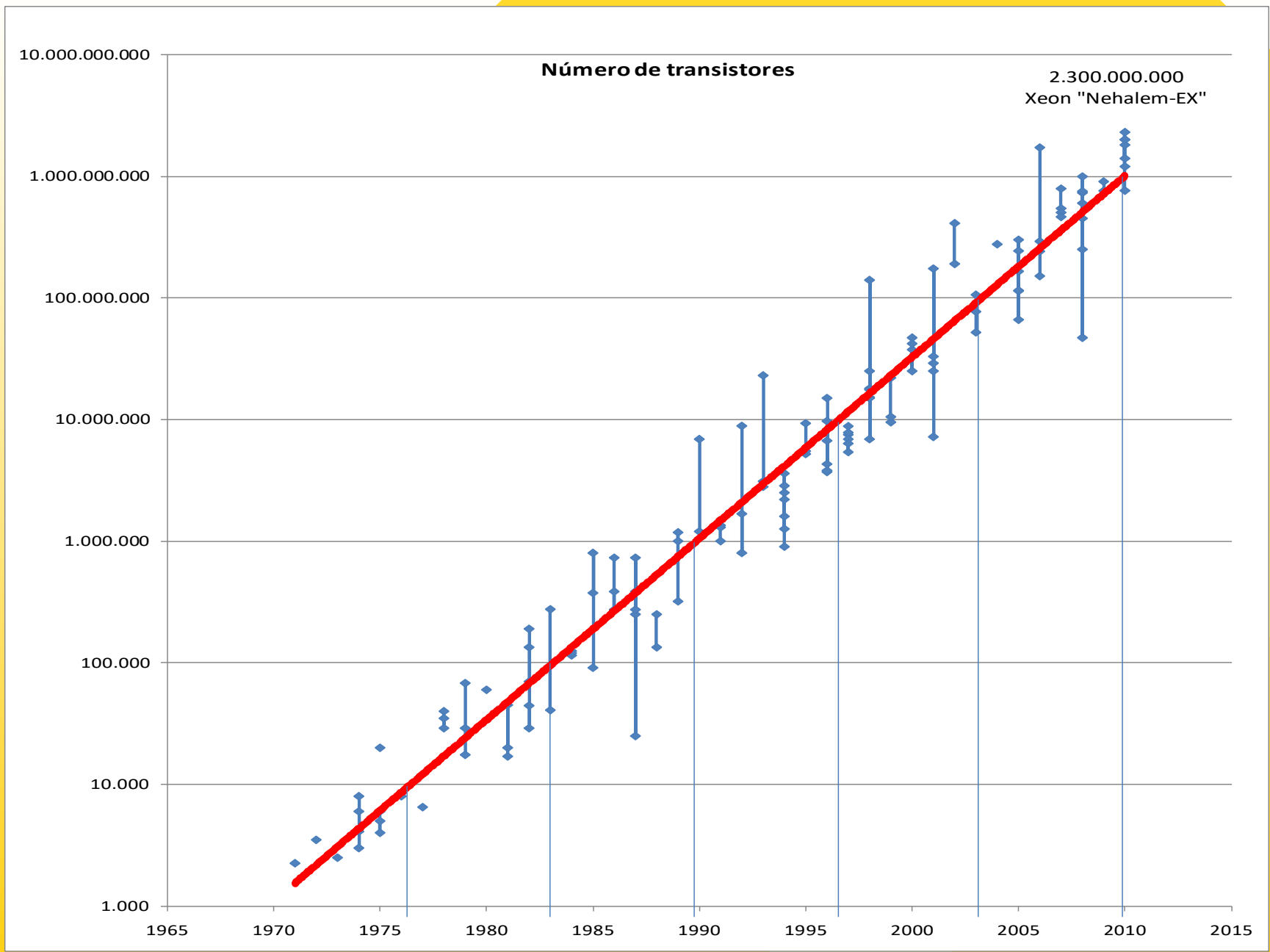
4/4

Pipeline (segmentación)



Supersegmentado (ciclos internos más cortos que externos, dando ratios de salida mayores que 1)





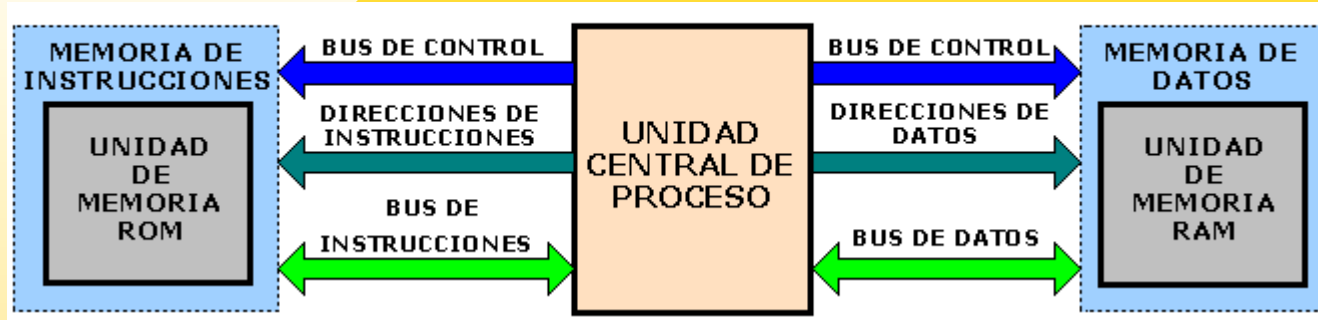
5- Conceptos Generales de arquitectura de los SETI

5.1 Arquitectura Von Newmann

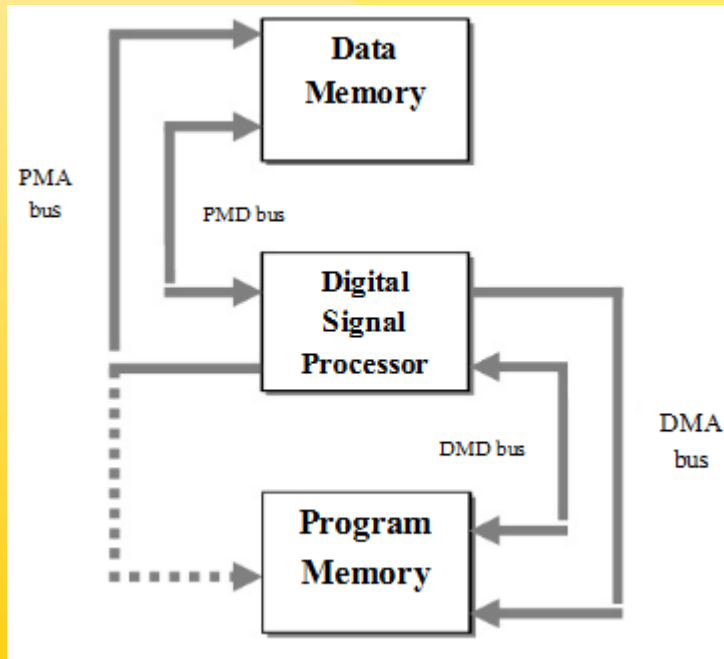
5.2 Procesadores RISC

→ 5.3 Otras arquitecturas

Arquitectura Harvard



Arquitectura Harvard Modificada



PICS & DSPs

